

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 10 月 28 日 (28.10.2004)

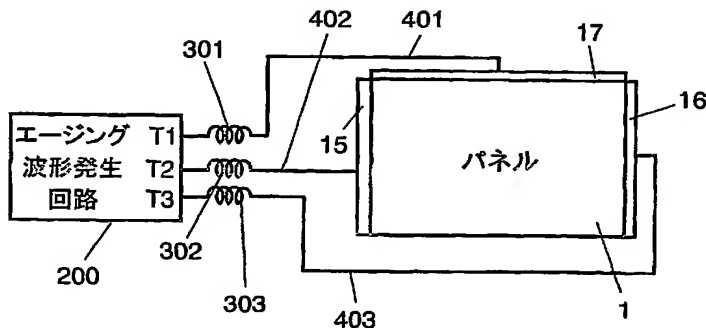
PCT

(10) 国際公開番号
WO 2004/093118 A1

- (51) 国際特許分類: H01J 9/44 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (21) 国際出願番号: PCT/JP2004/005284
- (22) 国際出願日: 2004 年 4 月 14 日 (14.04.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-113873 2003 年 4 月 18 日 (18.04.2003) JP (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山内 成晃 (YAMAUCHI, Masaaki). 青木 崇 (AOKI, Takashi). 秋山 浩二 (AKIYAMA, Koji).
- (74) 代理人: 岩橋 文雄, 外 (IWAHASHI, Fumio et al.); 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内 Osaka (JP).
- 添付公開書類:
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: PLASMA DISPLAY PANEL AGING METHOD AND AGING DEVICE

(54) 発明の名称: プラズマディスプレイパネルのエージング方法およびエージング装置



200...AGING WAVEFORM GENERATION CIRCUIT
1...PANEL

(57) Abstract: Aging is performed by applying an aging voltage via inductors (301, 401, 302, 402, 303, 403) respectively connected to a data electrode, a scan electrode, and a maintenance electrode. The aging voltage waveform applied to the data electrode has a ringing waveform whose frequency is set to 1/2 to 2 (twice) of the frequency of the ringing waveform of the aging voltage waveform applied to the scan electrode. Thus, it is possible to significantly reduce the aging time and perform aging with preferable power efficiency. It is also possible to obtain a desired inductance by adjusting the length of each of the lead lines (401, 402, 403) without using the inductors (301, 302, 303) such as coils.



(57) 要約:

データ電極、走査電極および維持電極のそれぞれに接続されたインダクタ（301，401，302，402，303，403）を介してエージング電圧を印加することによりエージングを行う際に、データ電極に印加されるエージング電圧波形が有するリングング波形の周波数が、走査電極に印加されるエージング電圧波形が有するリングング波形の周波数の $1/2$ 倍～2倍の間に設定されていることにより、エージング時間を大幅に短縮し、電力効率の良いエージングを行う。コイルなどのインダクタ（301，302，303）を使用せず各リード線（401，402，403）の長さを調整して所望のインダクタンスを得るようにしても良い。

明 細 書

プラズマディスプレイパネルのエージング方法およびエージング装置

5 技術分野

本発明は、プラズマディスプレイパネルの製造工程におけるエージング方法およびエージング装置に関する。

背景技術

- 10 プラズマディスプレイパネル（以下、「PDP」または「パネル」と略記する）は、大画面、かつ薄型、軽量であることを特徴とする視認性に優れた表示デバイスである。PDPの放電方式としてはAC型とDC型とがあり、電極構造としては面放電型と対向放電型とがある。しかし現在は、高精細化に適し、しかも製造の容易なことからAC型かつ面放電型であるAC面放電型PDPが主流となっ
15 ている。

- AC面放電型PDPは、一般に、対向配置された前面基板と背面基板との間に多数の放電セルを形成した構成である。前面基板は、前面ガラス板上に表示電極として走査電極と維持電極とが互いに平行に複数対形成され、それらの表示電極を覆うように誘電体層および保護層が形成される。背面基板は、背面ガラス板上
20 にデータ電極が互いに平行に複数形成され、それらを覆うように誘電体層が形成される。そしてこの誘電体層上にデータ電極と平行に隔壁が複数形成され、誘電体層の表面と隔壁の側面とに蛍光体層が形成される。そして、表示電極とデータ電極とが立体交差するように前面基板と背面基板とを対向させて密封し、その内部の放電空間に放電ガスを封入する。

- 25 このようにして組み立てたPDPは、一般的に放電開始電圧が高く、放電自体も不安定であるため、パネル製造工程ではエージングを行い、放電特性の均一化、安定化を図っている。

このようなエージング方法としては、表示電極間、すなわち走査電極－維持電極間に、交番電圧として逆位相の矩形波を長時間にわたり印加する方法がとられ

てきたが、エージング時間を短縮するために、たとえばインダクタを介して矩形波をパネルの走査電極と維持電極に印加する方法（特開平7-226162号公報参照）や表示電極間に逆位相の矩形波を印加すると共にデータ電極にも維持電極に印加する電圧波形と同相の波形を印加して、表示電極間放電と同時に走査電極-データ電極間放電を積極的に発生させる方法（特開平9-251841号公報、特開2002-231141号公報参照）等が提案されている。

しかしながら上述のエージング方法においても、放電を安定させるまでには10時間程度必要としていた。そのためエージング工程における消費電力は膨大となり、PDPの製造コストを上げる要因の一つとなっていた。また、エージング工程が長時間にわたるため、工場の敷地面積の問題、あるいは空調設備などの製造時の環境等、種々の問題があった。加えて今後のPDPの大画面化、高輝度化、生産量増大にともなって、この問題が今後一層大きくなることは明白である。

本発明は、上記問題点に鑑みてなされたものであり、エージング時間を大幅に短縮し、かつ電力効率の良いエージング方法およびエージング装置を提供するものである。

発明の開示

プラズマディスプレイパネルのエージング方法において、走査電極、維持電極、データ電極のそれぞれに接続されたインダクタを介してエージング電圧を印加することによりエージングを行う際に、データ電極に印加されるエージング電圧波形が有するリングング波形の周波数が、走査電極に印加されるエージング電圧波形が有するリングング波形の周波数の1/2倍～2倍の間に設定されていることを特徴とする。

図面の簡単な説明

図1は本発明の実施の形態においてエージングすべきパネルの構造の一例を示す分解斜視図である。

図2は同パネルの電極配列図である。

図3は本発明の実施の形態のエージング方法を用いたエージング装置の構成図

である。

図4は本発明の実施の形態のエージング方法におけるエージング電圧波形図である。

図5は本発明の実施の形態のエージング方法におけるエージング電圧波形の拡大図である。

図6はエージング実験に用いたエージング電圧波形を示す図である。

図7は本発明の実施の形態におけるエージング方法のエージング実験の結果を示す図である。

10 発明を実施するための最良の形態

以下、本発明の一実施の形態によるエージング方法について、図面を参照しながら説明する。

(実施の形態)

図1は本発明の実施の形態において、エージングすべきパネルの構造の一例を示す分解斜視図である。パネル1は、対向して配置された前面基板2と背面基板3とを有している。前面基板2は、前面ガラス板4上に表示電極としての走査電極5と維持電極6とが互いに平行に対をなして複数対形成されている。そして、これらの走査電極5と維持電極6とを覆うように誘電体層7が形成され、この誘電体層7の表面を覆うように保護層8が形成されている。背面基板3は、背面ガラス板9上にデータ電極10が互いに平行に複数形成され、このデータ電極10を覆うように下地層11が形成されている。そして、この下地層11上にデータ電極10と平行に隔壁12が複数形成され、下地層11の表面と隔壁12の側面とに蛍光体層13が形成されている。さらに、前面基板2と背面基板3とに挟まれた放電空間14には、放電ガスが封入されている。

図2はパネル1の電極配列図である。列方向に m 列のデータ電極 $10_1 \sim 10_m$ (図1のデータ電極10) が配列され、行方向 (列方向に直交する方向) に n 行の走査電極 $5_1 \sim 5_n$ (図1の走査電極5) と n 行の維持電極 $6_1 \sim 6_n$ (図1の維持電極6) とが交互に配列されている。そして、1対の走査電極 5_i 、維持電極 6_i ($i = 1 \sim n$) と1つのデータ電極 10_j ($j = 1 \sim m$) とが立体交差する部

分に放電セル 18 が形成され、この放電セル 18 は放電空間内に $m \times n$ 個形成されている。そして走査電極 5_j はパネル周辺部に設けられた走査電極端子部 15_j へ接続されている。同様に維持電極 6_j は維持電極端子部 16_j へ、データ電極 10_j はデータ電極端子部 17_j へ接続されている。

5 図 3 は本発明の実施の形態のエージング方法を用いたエージング装置の構成図である。エージング装置は、パネル 1 に印加するエージング電圧を発生するエージング波形発生回路 200 と、エージング波形発生回路 200 のデータ電極用パルス電圧を出力するデータ電極用スイッチング素子（図 3 では省略）の出力端子 T1 とデータ電極端子部 17 とを接続する第 1 のインダクタ（インダクタ 301
10 および配線用のリード線 401）と、エージング波形発生回路 200 の走査電極用パルス電圧を出力する走査電極用スイッチング素子（図 3 では省略）の出力端子 T2 と走査電極端子部 15 とを接続する第 2 のインダクタ（インダクタ 302 および配線用のリード線 402）と、エージング波形発生回路 200 の維持電極用パルス電圧を出力する維持電極用スイッチング素子（図 3 では省略）の出力端子 T3 と維持電極端子部 16 とを接続する第 3 のインダクタ（インダクタ 303
15 および配線用のリード線 403）とを備えている。すなわち、データ電極 10 には第 1 のインダクタが接続され、走査電極 5 には第 2 のインダクタが接続され、維持電極 6 には第 3 のインダクタが接続されており、各電極には、その電極に接続された第 1 ～第 3 のインダクタを介してエージング電圧が印加される。

20 上記のエージング波形発生回路 200 の各電極用スイッチング素子は、通常 IGBT（絶縁ゲート型バイポーラトランジスタ）や FET（電界効果型トランジスタ）などで構成される。また、インダクタ 301, 302, 303 はコイルやフェライトコア等により構成される。

本実施の形態においては、第 2 のインダクタのインダクタンス（第 2 のインダクタンス L_{sc} ）、すなわちインダクタ 302 とそれに直列に接続されたリード線 402 との合成インダクタンスが約 $1 \mu\text{H}$ となるように設定した。第 3 のインダクタのインダクタンス（第 3 のインダクタンス L_{ss} ）、すなわちインダクタ 303 とそれに直列に接続されたリード線 403 との合成インダクタンスも同様に約 $1 \mu\text{H}$ となるように設定した。一方、第 1 のインダクタのインダクタンス（第 1
25

のインダクタンス L_d)、すなわちインダクタ301とそれに直列に接続されたリード線401との合成インダクタンスは、第2のインダクタンス L_{sc} および第3のインダクタンス L_{ss} のそれぞれの値より大きくなるように設定している。

本実施の形態においては第1のインダクタンス L_d の値を第3のインダクタンス L_{ss} の約1.5倍となるように設定した。このとき、データ電極端子部17
5 に印加するエージング電圧波形のリングング周波数が走査電極端子部15に印加するエージング電圧波形のリングング周波数とほぼ等しくなった。そして、データ電極端子部17および走査電極端子部15におけるリングングの位相が等しくなるようにエージング波形発生回路200のエージング電圧波形を設計した。その結果、従来のエージング方法のおよそ1/3の時間でエージングを終了することが実験的に確認できた。

つぎに、本発明の実施の形態におけるエージング方法によってエージング時間が短縮できる理由について説明する。図4は本発明の実施の形態のエージング方法におけるエージング電圧波形図である。図4(a)、(b)、(c)はそれぞれエージング波形発生回路200の各電極用スイッチング素子の出力端子T2、T3、
15 T1における電圧波形 V_{sc} 、 V_{su} 、 V_d の一例を示している。このように、走査電極5および維持電極6にはエージング電圧としてそれぞれ逆位相の矩形電圧 V_{sc} および V_{su} を印加し、データ電極10には矩形電圧 V_d を印加する。図4(d)、(e)、(f)はこのときパネル1の走査電極端子部15、維持電極端子部16およびデータ電極端子部17における電圧波形を示している。このように、エージング波形発生回路200の各電極用スイッチング素子の出力端子T1、
20 T2、T3における電圧波形が矩形波であっても、パネル1の走査電極端子部15、維持電極端子部16およびデータ電極端子部17における電圧波形にはリングングが重畳され、その電圧波形はリングング波形を有するものとなる。これは、
25 パネル1の持っている静電容量とインダクタ301、302、303およびリード線401、402、403の持っているインダクタンスとによってLC共振するためである。そして、パネルの持つ静電容量やリード線401、402、403の持つインダクタンスを0にすることができないので、各電極端子部15、16、17における電圧波形にリングングが重畳されることを避けることはできな

い。

図4において、走査電極5と維持電極6との間に大きな電位差が発生するタイミング(1)では大きなエージング放電が発生する。ところがその後、タイミング(2)においてリングングによる電圧の振り戻しが発生し、その大きさが走査電極5－維持電極6間の放電を発生させない程度であっても、放電開始電圧の低い走査電極5－データ電極10間の放電が誘発される可能性がある。もし、この放電が発生すると、それにともなうプライミングの効果により走査電極5－維持電極6間の放電開始電圧が実質的に低下し、走査電極5－維持電極6間の放電が誘発されることになる。以下、この放電を消去放電と呼ぶ。

- 10 本発明者らはエージング放電にともなう発生する消去放電について検討した結果、以下のことを明らかにした。消去放電は電力を消費するにもかかわらず低い印加電圧で発生する放電のためエージングの効果が小さく、かつ、放電セル内部の壁電荷を弱めるため、つづくエージング放電(タイミング(3))で発生する放電)を発生させるのに大きな電圧を必要とし、結果的にエージング効率を低下
- 15 させる。さらに、消去放電の強さは放電セルの特性に大きく依存し、消去放電の起こりやすい放電セルのエージングが進み難く、すべての放電セルに対して十分なエージングを行うには、より長いエージング時間が必要になる。ここで、説明しなかったが、タイミング(3)で発生するエージング放電の後、タイミング(2)で発生する消去放電と同様にリングングによる電圧の振り戻しによってタイミング
- 20 (4)で消去放電が発生する。

- そこで、走査電極5に印加されるエージング電圧波形にリングングによる電圧の振り戻しが発生するタイミングにおいて、データ電極10にも周波数が等しく同位相のリングングによる電圧の振り戻しを重畳することにより走査電極5－データ電極10間の電位差が小さくなり、その結果、消去放電を抑制することがで
- 25 きることがわかった。図5は本発明の実施の形態のエージング方法におけるエージング電圧波形図の拡大図である。図5(a)のデータ電極端子部電圧1に示すように、データ電極端子部17におけるエージング電圧波形が有するリングング波形の周波数(リングング周波数) f_d は、走査電極端子部15におけるエージング電圧波形が有するリングング波形の周波数(リングング周波数) f_{sc} と等

しいことが最も望ましい。通常、AC面放電型PDPの場合、データ電極—表示電極間の静電容量に対し、走査電極5—維持電極6間の静電容量が大きい。そのため、図5（a）のように、走査電極端子部15におけるエージング電圧波形のリンギングと、データ電極端子部17におけるエージング電圧波形のリンギングを同期させるためには、上述のようにインダクタンス L_d の値をインダクタンス L_{sc} より大きく設定しなければならない。

しかし、たとえば図5（b）のデータ電極端子部電圧2に示すように、リンギング周波数 f_d がリンギング周波数 f_{sc} より低い場合であっても、データ電極端子部17に印加するための矩形電圧 V_d の印加タイミングを t_1 だけ早めてピークのタイミングを合わすことにより消去放電を抑制する効果を得ることができる。また、図5（c）のデータ電極端子部電圧3に示すように、リンギング周波数 f_d がリンギング周波数 f_{sc} より高い場合であっても、データ電極端子部17に印加するための矩形電圧 V_d の印加タイミングを t_2 だけ遅らせることにより消去放電を抑制する効果を得ることができる。

ただし、リンギング周波数 f_d がリンギング周波数 f_{sc} の $1/2$ 以下の場合には、タイミング（1）とタイミング（2）とにおけるデータ電極端子部17の電位差はリンギングの振幅の $1/2$ 以下となり、リンギング波形を利用する意味が小さくなる。また、リンギング周波数 f_d がリンギング周波数 f_{sc} の2倍以上の場合には、データ電極端子部17の電圧はタイミング（1）とタイミング（2）とのあいだで1周期以上のリンギングが含まれるので、データ電極端子部17に印加するための矩形電圧 V_d の印加タイミングをどのように設定しても消去放電を抑制することができない。データ電極端子部17におけるリンギング波形のピークに至るまでの時間が走査電極端子部15におけるリンギング波形のピークに至るまでの時間に対し、 $1/2 \sim 2$ 倍の範囲に入るようパネル1の特性に応じてインダクタンス L_{sc} 、 L_{ss} および L_d の値を調整する必要がある。

なお、本発明の実施の形態におけるエージング方法は、走査電極5が維持電極6に対して高電圧側になるタイミングにおける消去放電のみを抑制している。その理由は以下のとおりである。一般にAC面放電型PDPの駆動においては、維持電極6は維持放電のみに関与しているのに対し、走査電極5は維持放電に加え

て書きこみ時にも放電を発生するので、走査電極 5 についてはデータ電極 10 に対向する電極面全面でエージングを進める必要がある。したがって、走査電極 5、維持電極 6 を同等にエージングするのではなく、走査電極 5 側のエージングを維持電極 6 側よりも加速するとエージングを効率的に行うことができる。

- 5 そこで、走査電極 5 が維持電極 6 に対して高電圧側になるタイミングにおける消去放電のみを抑制し、次の放電、すなわち走査電極 5 が維持電極 6 に対して低電圧側になるときのエージング放電が強調できるようにする。それによって走査電極 5 が低電圧側になるタイミングの放電においては、放電空間内を走査電極 5 側に向かう正イオンに起因する走査電極 5 側のイオンスパッタが効率よく行われ、
- 10 走査電極 5 側のエージングが維持電極 6 側よりも加速される。

- 図 6 は、エージング実験に用いたエージング電圧波形を示す図である。走査電極 5 および維持電極 6 に印加するエージング電圧波形は図 4 に示した電圧波形と同じであり、走査電極用スイッチング素子の出力端子 T 2 と走査電極端子部 1 5 との間の第 2 のインダクタンス L_{sc} 、および維持電極用スイッチング素子の出力端子 T 3 と維持電極端子部 1 6 との間の第 3 のインダクタンス L_{ss} はともに
- 15 約 $1 \mu H$ となるように設定した。また、データ電極用スイッチング素子の出力端子 T 1 とデータ電極端子部 1 7 との間の第 1 のインダクタンス L_d は、 $0.3 \mu H$ 、 $1.5 \mu H$ 、 $5 \mu H$ の 3 種類とした。図 6 (a)、(b)、(c) はそれぞれ第 1 のインダクタンス L_d を $0.3 \mu H$ 、 $1.5 \mu H$ 、 $5 \mu H$ としたときのデータ
- 20 電極端子部 1 7 におけるエージング電圧波形を示す。また、このときのデータ電極端子部 1 7 におけるエージング電圧波形のリングング周波数 f_d と走査電極端子部 1 5 におけるエージング電圧波形のリングング周波数 f_{sc} との関係は、それぞれ、 $f_d < 1/2 f_{sc}$ 、 $f_d = f_{sc}$ 、 $f_d > 2 f_{sc}$ である。 L_{sc} および L_{ss} に対する L_d の好ましい範囲は、上述のようにパネルの電極間の静電
- 25 容量、つまり設計に依存するところがあり断定できないが、一般的な PDP の構造では概ね L_d の大きさは L_{sc} または L_{ss} の 3 倍までといえる。

ここで、各インダクタンス L_{sc} 、 L_{ss} および L_d の値は、LCRメータを使って、 $10 kHz \sim 500 kHz$ 周波数範囲の同一周波数（本実施の形態では $100 kHz$ とした）で測定できる。測定時の LCRメータの測定周波数によ

て L_{sc} 、 L_{ss} および L_d の値は変化するが、絶対値でなく各インダクタンスの相対値が本発明の要点であるため、例えばリングング波形に含まれる周波数成分において同一条件で測定するのであれば問題ない。

図7は、本発明の実施の形態におけるエージング方法のエージング実験の結果を示す図であり、横軸はエージング時間、縦軸は走査電極5－維持電極6間の放電開始電圧であり、放電開始電圧が所定の電圧まで低下した時点でエージングが終了する。このように、データ電極端子部17に図6(a)または図6(c)のエージング電圧波形を印加した場合には放電開始電圧が低下するまでに10時間程度のエージングを必要としたが、図6(b)のエージング電圧波形を印加した場合には従来のおよそ1/3のエージング時間で放電開始電圧が急速に低下して安定した。

上記実施の形態では、第1～第3のインダクタンスの調整に、コイルなどのインダクタ301、302、303を使用した。インダクタ301、302、303を使用せず各リード線401、402、403の長さを調整して所望の L_{sc} 、 L_{ss} および L_d を得るようにしても良い。つまり、第1、第2、第3のインダクタをそれぞれリード線401、402、403で構成し、 $L_d > L_{sc}$ 、 $L_d > L_{ss}$ とする場合は、図3においてリード線402、403に比べてリード線401を長く設定すればよい。また、例えば第1のインダクタをインダクタ301とリード線401とで構成し、第2のインダクタをリード線402で構成し、第3のインダクタをリード線403で構成するなど、第1～第3のインダクタの構成は適宜選択して組み合わせることができる。なお、図3はあくまでも概念図であり、図3におけるリード線401、402、403の長さは、実際の長さの関係を示したものではない。

本発明によれば、エージング時間を大幅に短縮し、かつ電力効率の良いエージング方法およびエージング装置を提供することができる。

産業上の利用可能性

本発明のエージング方法およびエージング装置は、エージング時間を大幅に短縮し、かつ電力効率の良いエージング方法およびエージング装置を提供すること

ができ、AC型PDPの製造工程におけるエージング方法およびエージング装置等に有用である。

請 求 の 範 囲

1. データ電極を形成した基板と、この基板に対向配置され且つ前記データ電極に直交するように走査電極および維持電極を形成した基板とを有するプラズマディスプレイパネルのエイジング方法において、前記走査電極、前記維持電極、前記データ電極のそれぞれに接続されたインダクタを介してエイジング電圧を印加することによりエイジングを行う際に、前記データ電極に印加されるエイジング電圧波形が有するリングング波形の周波数が、前記走査電極に印加されるエイジング電圧波形が有するリングング波形の周波数の $1/2$ 倍～2 倍の間に設定されていることを特徴とするプラズマディスプレイパネルのエイジング方法。
2. 前記データ電極に接続されたインダクタのインダクタンスは、前記走査電極に接続されたインダクタのインダクタンスよりも大きいことを特徴とする請求項 1 に記載のプラズマディスプレイパネルのエイジング方法。
3. 前記データ電極または前記走査電極に接続されたインダクタは、対応する電極にエイジング電圧を印加するためのリード線であることを特徴とする請求項 1 または請求項 2 に記載のプラズマディスプレイパネルのエイジング方法。
4. 前記データ電極に接続されたインダクタは、コイルまたはフェライトコアを含むことを特徴とする請求項 1 または請求項 2 に記載のプラズマディスプレイパネルのエイジング方法。
5. データ電極を形成した基板と、この基板に対向配置され且つ前記データ電極に直交するように走査電極および維持電極を形成した基板とを有するプラズマディスプレイパネルのエイジング装置において、前記走査電極、前記維持電極、前記データ電極のそれぞれに接続されたインダクタを介してエイジング電圧を印加することによりエイジングを行う際に、前記データ電極に印加されるエイジング電圧波形が有するリングング波形の周波数が、前記走査電極に印加されるエー

ジング電圧波形が有するリングング波形の周波数の $1/2$ 倍～2 倍の間になるように、前記データ電極に接続されたインダクタのインダクタンスが設定されていることを特徴とするプラズマディスプレイパネルのエージング装置。

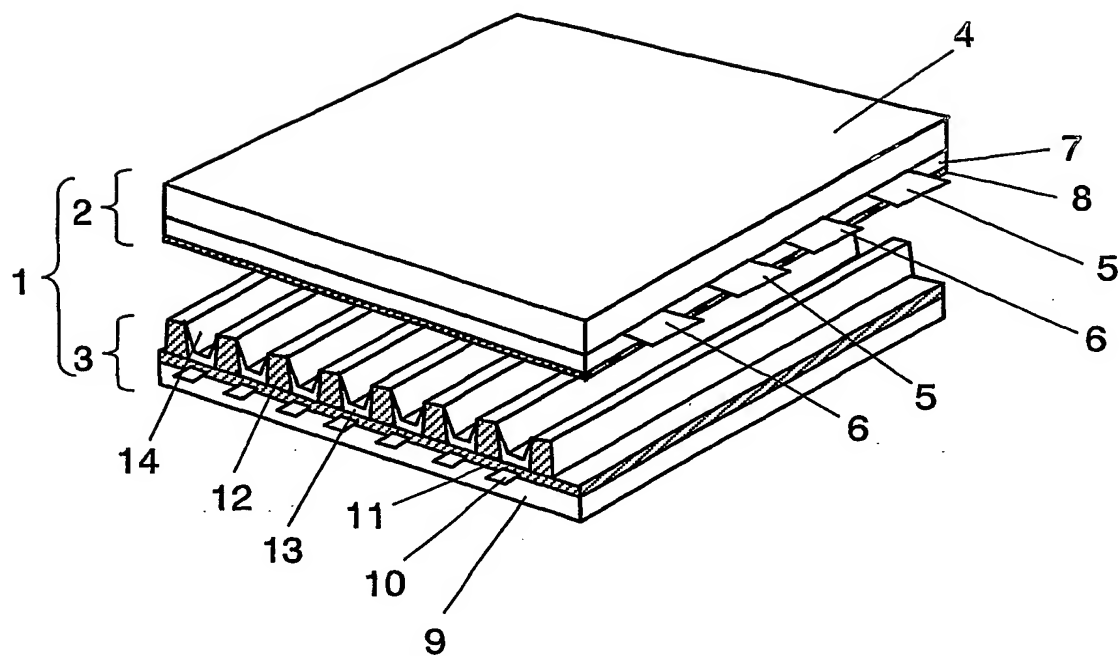
- 5 6. 前記データ電極に接続されたインダクタのインダクタンスは、前記走査電極に接続されたインダクタのインダクタンスよりも大きいことを特徴とする請求項 5 に記載のプラズマディスプレイパネルのエージング装置。

- 10 7. 前記データ電極または前記走査電極に接続されたインダクタは、対応する電極にエージング電圧を印加するためのリード線であることを特徴とする請求項 5 または請求項 6 に記載のプラズマディスプレイパネルのエージング装置。

- 15 8. 前記データ電極に接続されたインダクタは、コイルまたはフェライトコアを含むことを特徴とする請求項 5 または請求項 6 に記載のプラズマディスプレイパネルのエージング装置。

1/7

FIG. 1



2/7

FIG. 2

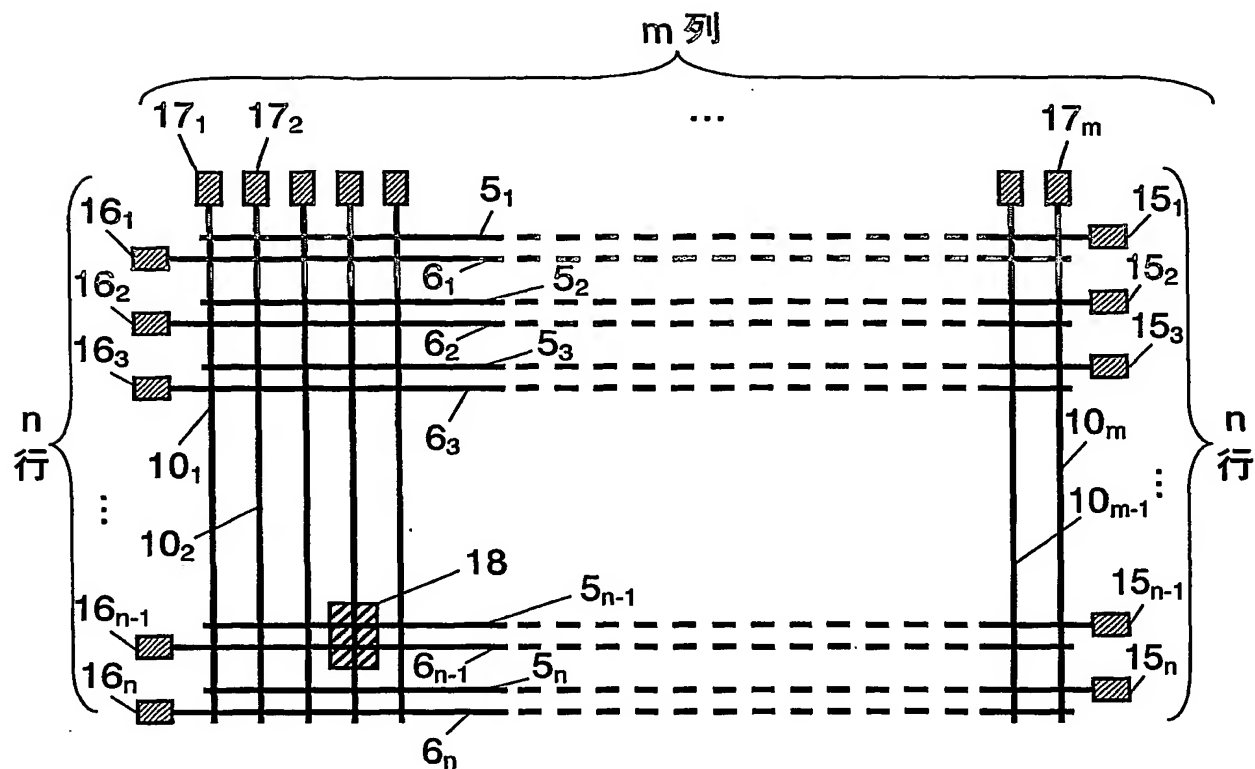
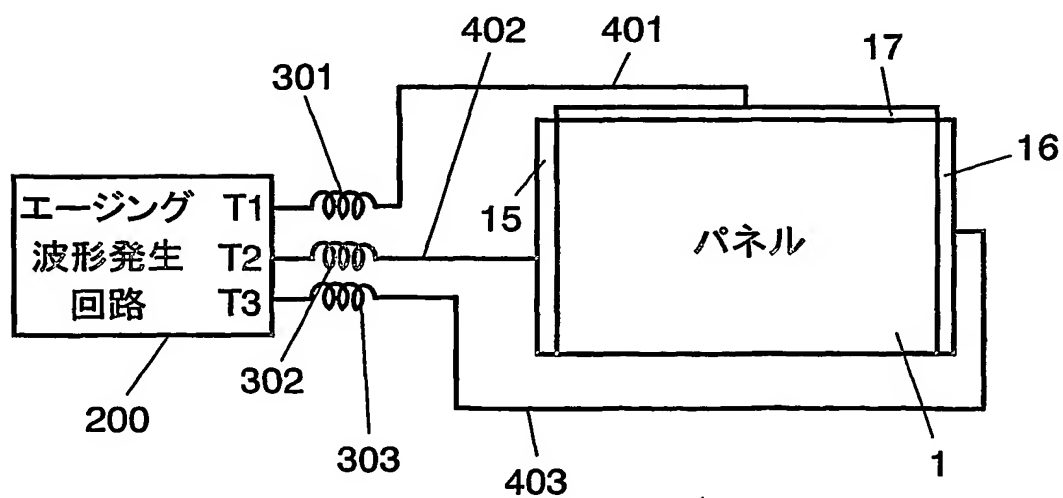
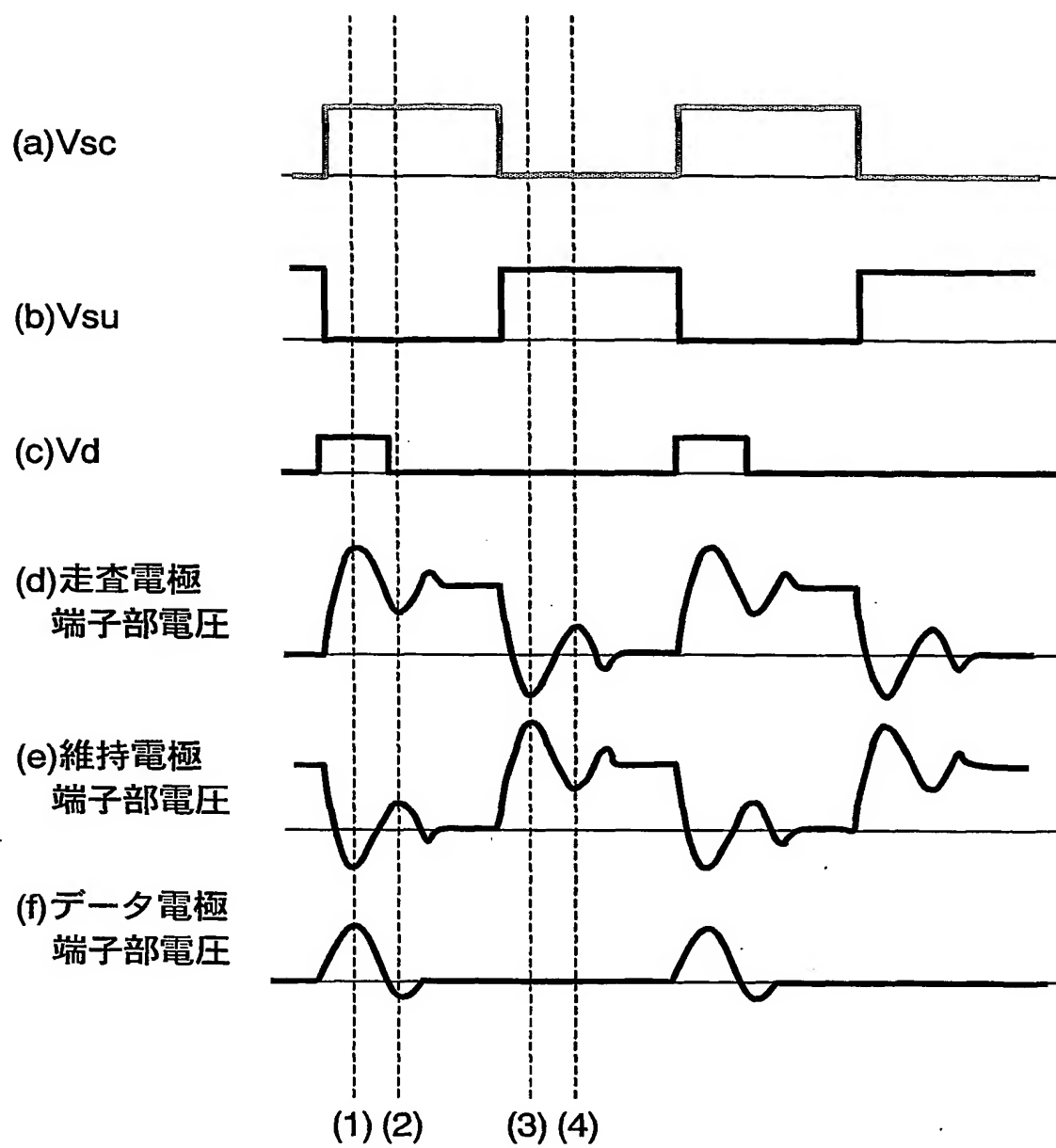


FIG. 3



3/7
FIG. 4

4/7

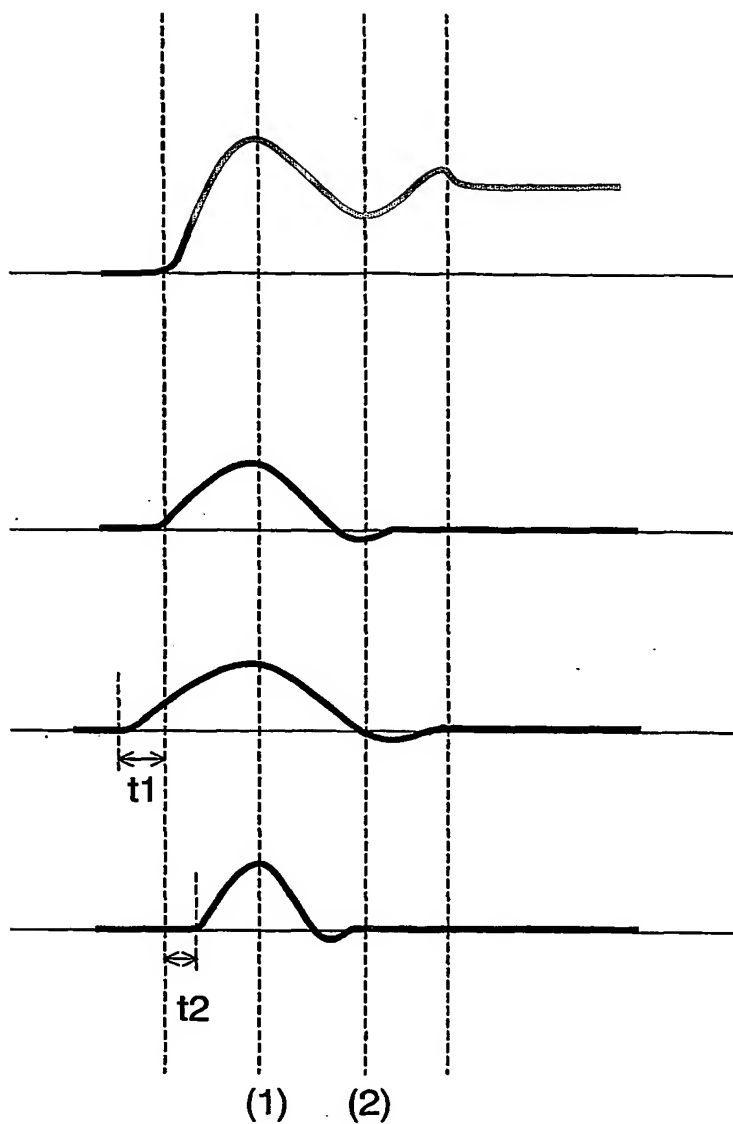
FIG. 5

走査電極
端子部電圧

(a) データ電極
端子部電圧 1

(b) データ電極
端子部電圧 2

(c) データ電極
端子部電圧 3



5/7

FIG. 6

走査電極
端子部電圧

維持電極
端子部電圧

(a) データ電極
(端子部)

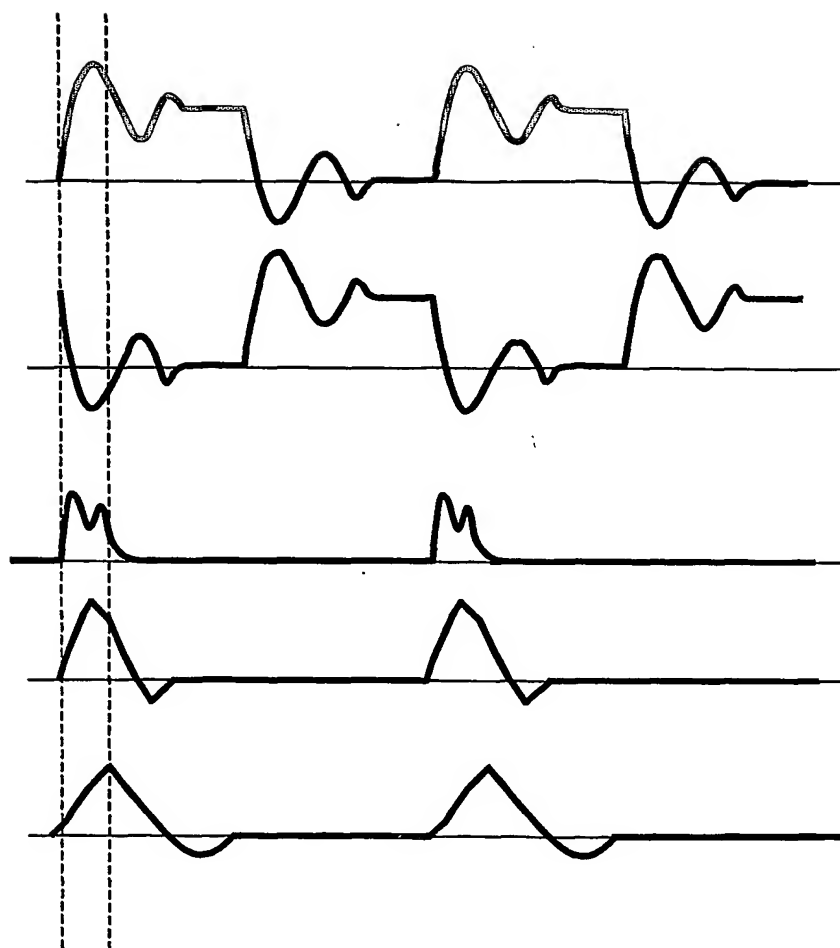
$L_d = 0.3 \mu\text{H}$

(b) データ電極
(端子部)

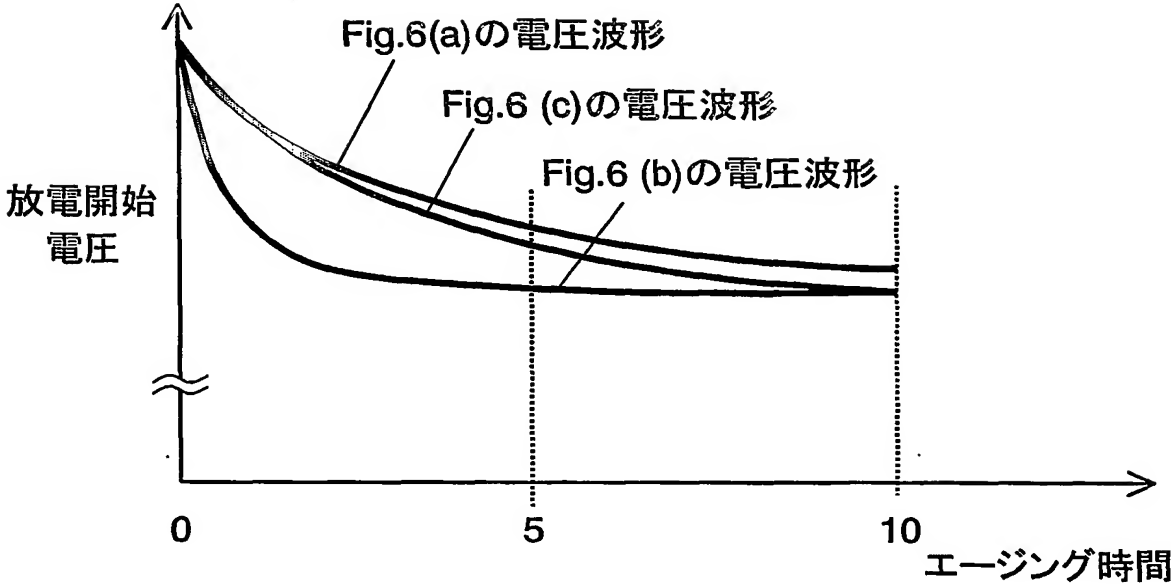
$L_d = 1.5 \mu\text{H}$

(c) データ電極
(端子部)

$L_d = 5 \mu\text{H}$



6/7
FIG. 7



7/7

図面の参照符号の一覧表

1	パネル
5	走査電極
6	維持電極
10	データ電極
200	エージング波形発生回路
301, 302, 303	インダクタ
401, 402, 403	リード線

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005284

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01J9/44

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01J9/44, 11/00-17/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004

Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-251841 A (Fujitsu Ltd.), 22 September, 1997 (22.09.97), Full text; all drawings (Family: none)	1-8
A	JP 2002-197977 A (Kyoshin Denki Kabushiki Kaisha), 12 July, 2002 (12.07.02), Full text; all drawings (Family: none)	1-8
A	JP 7-226162 A (Fujitsu Ltd.), 22 August, 1995 (22.08.95), Full text; all drawings (Family: none)	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 July, 2004 (07.07.04)

Date of mailing of the international search report
27 July, 2004 (27.07.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01J 9/44

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01J 9/44, 11/00-17/64

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 9-251841 A (富士通株式会社) 1997. 09. 22, 全文, 全図 (ファミリーなし)	1-8
A	J P 2002-197977 A (共進電機株式会社) 2002. 07. 12, 全文, 全図 (ファミリーなし)	1-8
A	J P 7-226162 A (富士通株式会社) 1995. 08. 22, 全文, 全図 (ファミリーなし)	1-8

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

07. 07. 2004

国際調査報告の発送日

27.07.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
堀部 修平

2G 9215

電話番号 03-3581-1101 内線 3225